



日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年 9月26日

出 願 番 号
Application Number: PCT/JP02/09981

出 願 人
Applicant (s): 前崎 義博
勅使河原 寛

2003年11月20日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証平 15-500328

0	受理官庁記入欄	
0-1	国際出願番号.	PCT/JP02/09981
0-2	国際出願日	26.09.02
0-3	(受付印)	PCT International Application 日 本 国 特 許 庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.92 (updated 01.01.2002)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	K896-PCT
I	発明の名称	ダイナミック・バーンイン方法及び装置
II	出願人	
II-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
II-2	右の指定国についての出願人である。	すべての指定国 (all designated States)
II-4ja	氏名(姓名)	前崎 義博
II-4en	Name (LAST, First)	MAESAKI, Yoshihiro
II-5ja	あて名:	211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号 富士通株式会社内
II-5en	Address:	C/O FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	すべての指定国 (all designated States)
III-1-4ja	氏名(姓名)	勅使河原 寛
III-1-4en	Name (LAST, First)	TESHIGAWARA, Hiroshi
III-1-5ja	あて名:	211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号 富士通株式会社内
III-1-5en	Address:	C/O FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2002年09月26日（26.09.2002）木曜日 16時53分36秒

K896-PCT

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	石田 敬
IV-1-1en	Name (LAST, First)	ISHIDA, Takashi
IV-1-2ja	あて名:	105-8423 日本国 東京都 港区虎ノ門 三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
IV-1-2en	Address:	A. AOKI, ISHIDA & ASSOCIATES Toranomom 37 Mori Bldg., 5-1, Toranomom 3-chome, Minato-ku, Tokyo 105-8423 Japan
IV-1-3	電話番号	03-5470-1900
IV-1-4	ファクシミリ番号	03-5470-1911
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)
IV-2-1ja	氏名	鶴田 準一; 土屋 繁; 西山 雅也; 樋口 外治
IV-2-1en	Name(s)	TSURUTA, Junichi; TSUCHIYA, Shigeru; NISHIYAMA, Masaya; HIGUCHI, Sotoji
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	出願日	2001年09月26日 (26.09.2001)
VI-1-2	出願番号	特願2001-294159
VI-1-3	国名	日本国 JP
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2002年09月26日（26.09.2002）木曜日 16時53分36秒

K896-PCT

VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て（米国を指定国とする場合）	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	-
IX-2	明細書	7	-
IX-3	請求の範囲	2	-
IX-4	要約	1	EZABST00.TXT
IX-5	図面	7	-
IX-7	合計	21	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-9	個別の委任状の原本	✓	-
IX-17	PCT-EASYディスク	-	フルキープディスク
IX-18	その他	納付する手数料に相当する特許印紙を貼付した書面	-
IX-19	要約書とともに提示する図の番号	1	
IX-20	国際出願の使用言語名:	日本語	
X-1	提出者の記名押印		
X-1-1	氏名(姓名)	石田 敬	
X-2	提出者の記名押印		
X-2-1	氏名(姓名)	鶴田 準一	
X-3	提出者の記名押印		
X-3-1	氏名(姓名)	土屋 繁	
X-4	提出者の記名押印		
X-4-1	氏名(姓名)	西山 雅也	
X-5	提出者の記名押印		
X-5-1	氏名(姓名)	樋口 外治	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	26.09.02
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	

特許協力条約に基づく国際出願願書

K896-PCT

原本（出願用） - 印刷日時 2002年09月26日（26.09.2002）木曜日 16時53分36秒

10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

ダイナミック・バーンイン方法及び装置

技術の分野


本発明は、潜在的な不良を持つ半導体をスクリーニングするためのバーンイン方法及び装置に関し、特に高速にダイナミック・バーンインを行うことができるバーンイン方法及び装置に関するものである。

背景技術

従来から、半導体装置の受け入れ等の際し、バーンイン槽内に半導体装置を収納し、半導体装置に信号発生器からバーンイン信号を入力し、ダイナミック・バーンインを行うことにより、不良品をスクリーニングすることが行われている。バーンイン装置は例えば、信号発生器とバーンイン槽から構成され、プリント基板に被試験対象となるLSI等の半導体を取り付けてバーンイン槽内に収納し、信号発生器から半導体装置にバーンイン信号を所定時間入力しバーンインを行う。

また、カスタムLSI等においては、バーンイン信号を発生する回路をLSI内に内蔵させ、外部からクロック信号、制御信号等を入力してLSI内部でバーンイン信号を生成してダイナミック・バーンインを行うことも行われている（例えば特開平10-221411号公報等参照）。

しかし、バーンイン信号を発生する回路をLSI内に内蔵させると、それに応じて半導体装置のコストがアップする。このため、比較的廉価なDRAM、SRAM等の汎用メモリにおいてはバーンイン信号を発



生する回路をLSI 内に内蔵させずに、外部からバーンイン信号を被試験対象となる半導体装置に入力してダイナミック・バーンインを行っている。

近年、汎用メモリ等の高速、高機能化が増加しており、これに対応できるバーンイン装置の実現が望まれている。

しかし、現状のバーンイン装置の信号発生器のクロック周波数の上限は、10MHz 程度であり、現状のバーンイン装置による通常のバーンインでは、例えばクロック周波数が100MHz以上の高速な汎用メモリに対しバーンイン効果が期待できない。そこで、このような高速な汎用メモリに対してバーンインの加速効果を得るため、バーンイン時間を長くしているのが現状である。

発明の開示

本発明は上記事情を考慮してなされたものであって、本発明の目的は、従来のバーンイン装置に比較的簡単な構成の変換器を付加することにより、上記高速、高機能な半導体装置を短時間でバーンインすることができるダイナミック・バーンイン装置を提供することである。

本発明は、上記目的を達成するために、半導体装置のバーンインに際して、所定の信号を生成し、得られた信号の周波数を高めて半導体に入力する方法及び装置を提供する。

また、本発明では、信号発生器が出力する信号をバーンイン槽内に収納された被試験対象の半導体装置に入力し、半導体装置のバーンインを行うダイナミック・バーンイン装置において、上記信号発生器の出力側に変換器を設けることができる。

そして、変換器により、上記信号発生器が出力する信号の周波数をN倍（ $N = 1, 2, 3, \dots$ ）にし、変換器が出力するバーンイン

信号をバーンイン槽内に収納された被試験対象の半導体装置に入力してダイナミック・バーンインを行う。

上記のように、信号発生器が出力するバーンイン信号の周波数を変換し、周波数が高いバーンイン信号を半導体装置に供給しているので、高速、高機能な半導体装置に対しても、短時間でダイナミック・バーンインを行うことができる。

また、従来のバーンイン装置に変換器を付加するだけで、バーンインを加速し、バーンイン時間を短縮することができるので、高速、高機能な半導体装置に対応したバーンイン装置を新規に導入する場合に比べ、大幅にコストダウンを図ることができる。

図面の簡単な説明

本発明を添付の図面を参照しながら以下に説明する。

図1a及び1bは、本発明の概要を説明する図、

図2は、本発明の実施例のバーンイン装置の概略構成を示す図、

図3は、本発明の実施例の変換器の構成例を示す図、

図4は、図3に示す変換器の動作を示すタイムチャート、

図5は、従来のバーンイン装置の概略構成を示す図、

図6は、従来の汎用メモリのダイナミック・バーンインを行う際のバーンイン信号の一例を示す図である。

最良の実施の形態の詳細な説明

本発明によりもたらされる効果を明確にするために、まず本発明が適用されない一般的なバーンイン装置について説明する。

図5に従来のバーンイン装置の概略構成を示す。同図に示すように、バーンイン装置は信号発生器1とバーンイン槽2から構成され、プリント基板3に被試験対象となるLSI等の半導体装置4を取り

付けてバーンイン槽 2 内に収納し、信号発生器 1 から半導体装置 4 にバーンイン信号を所定時間入力しバーンインを行う。

図 6 に、DRAM, SRAM等の汎用メモリをバーンインする際のバーンイン信号の一例を示す。同図に示すように、バーンイン信号は、クロックCLK、行アドレスストローブRAS（以下単にRASという）、列アドレスストローブCAS（以下単にCASという）、ライトネーブルWEと、データDIN、行アドレスAD(R)、列アドレスAD(C)からなり、アドレスはインクリメントされ、メモリの各セルにデータを書き込む処理を行う。

これに対して、本発明は、図1aに示すように、信号発生器 1 が出力する信号をバーンイン槽 2 内に収納された被試験対象の半導体装置に入力し、半導体装置のバーンインを行うダイナミック・バーンイン装置において、上記信号発生器の出力側に変換器 3 を設けたものである。

そして、変換器 3 により、上記信号発生器 1 が出力する信号の周波数をN倍（ $N = 1, 2, 3, \dots$ ）にし、変換器 3 が出力するバーンイン信号をバーンイン槽 2 内に収納された被試験対象の半導体装置に入力してダイナミック・バーンインを行う。

例えば、汎用メモリのバーンインを行う場合、図1bの(A)に示す信号変換器 1 の出力CLK1, RAS1, CAS1, AD1 等を、変換器 3 により同図(B) (C) に示すように、クロック信号CLK1に同期した周期が20nsのクロック信号CLK2に変換するとともに、ローレベルの時の幅が20nsのRAS2, CAS2, AD2 等の信号に変換し、変換器 3 の出力としてバーンイン槽内に収納された半導体装置に供給し、ダイナミック・バーンインを行う。

図 2 は本発明の実施例のバーンイン装置の概略構成を示す図である。本実施例は、前記図 5 に示したバーンイン装置において、信号

発生器 1 の出力側に変換器 3 を設け、信号発生器 1 が出力するバーンイン信号の周波数を変換器 3 により高くし、バーンイン槽に収納された汎用メモリに供給することにより、バーンインを加速する実施例を示している。なお、ここでは、汎用メモリを対象としたバーンイン装置について説明するが、本発明の対象は汎用メモリに限定されるものではなく、その他の各種の半導体装置に適用することができる。

図 3 に本実施例の変換器 3 の構成例を示す。同図は変換器 3 により、信号発生器 1 が出力する周期が 60ns のクロック信号 CLK1 のバーンイン信号を、周期が 20ns のクロック信号 CLK2 のバーンイン信号に変換する場合の回路構成例を示している。

同図において、31 は同期発振器であり、信号発生器 1 が出力する周期が 60ns のクロック信号 CLK1 の周波数を 3 倍し、該クロック信号 CLK1 に同期し、周期が 20ns のクロック信号 CLK2 を発生する。

波形整形回路 32 は、反転回路 INV1 と、フリップフロップ FF1～FF6 と、遅延回路 D1～D6 を備えている。

反転回路 INV1 は、同期発振器 3 a が出力するクロック信号 CLK2 を反転させる。反転回路 INV1 の出力は、フリップフロップ FF1～FF6 のクロック入力端子 CLK に供給される。

また、前記信号発生器 1 が出力する RAS1、CAS1、ライトネーブル WE1、データ DIN1、行アドレス AD(R)1、列アドレス AD(C)1 が上記フリップフロップ FF1～FF6 のデータ入力端子 D に供給される。また、遅延回路 D1～D6 はアンドゲート G1～G6 の出力を所定時間遅延させる。

図 4 は本実施例の変換器の動作を説明する図であり、図 3、図 4 を参照しながら、本実施例の動作について説明する。

図 4 において、CLK1、RAS1、CAS1 は信号発生器の出力を示し、CL

K2, RAS2, CAS2, WE2, DIN2, AD(R)2, AD(C)2 は変換器 3 の出力を示している。なお、同図では、信号発生器 1 の出力としてCLK1, RAS, CASのみを示しているが、前記図 6 に示したタイミングでWE1, DIN1, AD(R)1, AD(C)1 の信号も同様に変換器 3 に入力される。

信号発生器 1 が出力するクロック信号CLK1は図 3 に示す同期発振器 31 に供給され、同期発振器 31 は、図 4 に示すようにクロック信号CLK1に同期した n 倍の周波数のクロック信号CLK2を発生する。このクロック信号CLK2は前記したバーンイン槽 2 に収納された半導体装置に供給されるとともに、波形整形回路 32 に供給される。

波形整形回路 32 に設けられた反転回路 INV1 は、このクロック信号CLK2を反転し、この反転されたクロック信号CLK2は、フリップフロップ FF1~FF6 のクロック端子 CLK に入力される。フリップフロップ FF1~FF6 は、上記反転回路 INV1 の出力が立ち下がるタイミングで、信号発生器 1 が出力する WE1, DIN1, AD(R)1, AD(C)1 の値に取り込み、その値を保持する。

このため、フリップフロップ FF1 から FF6 の出力 Q は、図 4 に示すように、RAS1, CAS1, WE1, DIN1, アドレス 1 (R)、アドレス 1 (C) が入力される毎に 20ns の幅でローレベルとなる。

フリップフロップ FF1~FF6 の出力 Q は、遅延回路 D に供給されて所定時間遅延され、図 4 に示すように RAS2, CAS2, WE2, DIN2, AD(R)2, AD(C)2 として出力される。この信号はバーンイン信号として、前記図 2 に示したようにバーンイン槽に収納された半導体に供給される。

本実施例においては、上記のように、変換器 3 を設け、信号発生器 1 が出力するバーンイン信号の周波数を変換器 3 により高くして、バーンイン槽内の半導体装置に供給しているので、高速、高機能な半導体装置に対しても、短時間でバーンインを行うことができる

また、従来の信号発生器に比較的簡単な構成の変換器を設けるだけで、バーンインを加速することができ、クロック周波数が高い信号発生器を設ける場合に比べ、安価に構成することができる。

なお、上記実施例では、クロック信号の周期を60nsから20nsに変換し、RAS2, CAS2, WE2 等がローレベルのときの幅を30nsから20nsに変換する場合について説明したが、RAS2, CAS2, WE2 等がローレベルのときの幅を30nsから10nsになるように変換しても、同様にバーンインの加速効果を得ることができる。

さらに、上記実施例では、クロック信号の周期を60nsから20nsに変換する場合について説明したが、本発明は上記実施例に限定されるものではなく、変換する周波数は、バーンインの対象となる半導体装置に合わせて適宜、選択することができる。

以上説明したように、本発明においては、以下の効果を得ることができる。

(1) 高速のダイナミック・バーンインを行うことが可能となったので、半導体装置における初期劣化性不良の検出出力を数倍にアップすることが可能となる。

(2) ダイナミック・バーンインに際して、半導体装置へのストレス回数をN倍にすることができるので、バーンイン時間を $1/N$ に短縮することができる。

(3) 従来のバーンイン装置に変換器を付加するだけでよいので、高速な半導体装置に対応したバーンイン装置を新規に導入することなく、高速なバーンインを実施することが可能となる。

請 求 の 範 囲

1. 半導体装置のダイナミック・バーンイン方法であって、
所定の信号を生成するステップと、
前記所定の信号の周波数を高くするステップと、
前記周波数を高くした信号を前記半導体装置に入力するステップ
とを備える

ことを特徴とする半導体装置のダイナミック・バーンイン方法。

2. 半導体装置のダイナミック・バーンイン装置であって、
信号発生器と周波数変換器とを備え、
前記信号発生器からの信号を前記周波数変換器により周波数を高
くして前記半導体装置に入力する

ことを特徴とする半導体装置のダイナミック・バーンイン装置。

3. 信号発生器が出力する信号をバーンイン槽内に収納された被
試験対象の半導体装置に入力し、半導体装置のバーンインを行うダ
イナミック・バーンイン装置であって、

上記信号発生器の出力側に変換器を設け、該変換器により、上記
信号発生器が出力する信号の周波数を高くし、

上記変換器が出力する信号を被試験対象の半導体装置に入力して
ダイナミック・バーンインを行う

ことを特徴とするダイナミック・バーンイン装置。

4. 上記被試験対象の半導体装置は汎用メモリであり、

上記変換器は、上記信号発生器が出力するクロック信号に同期し
、該クロック周波数より高い周波数のクロック信号を発生する同期
発振器と、

上記信号発生器が出力する制御信号、データ信号、アドレス信号
を、上記同期発振器が出力するクロック信号に応じた幅の信号に整



形する波形整形回路とを備え、

上記同期発振器が出力するクロック信号と、上記波形整形回路が出力する制御信号、データ信号、アドレス信号を被試験対象の半導体装置に入力する

ことを特徴とする請求項 3 のダイナミック・バーンイン装置。

要 約 書

信号発生器（１）が出力する信号をバーンイン槽（２）内に収納された被試験対象の半導体装置に入力し、半導体装置のバーンインを行うダイナミック・バーンイン装置において、上記信号発生器の出力側に変換器（３）を設ける。そして、変換器（３）により、上記信号発生器（１）が出力する信号の周波数を N 倍にし、変換器（３）が出力するバーンイン信号をバーンイン槽（２）内に収納された被試験対象の半導体装置に入力して高速ダイナミック・バーンインを行う。信号発生器（１）が出力するバーンイン信号の周波数を変換器（３）により変換し、周波数が高いバーンイン信号をバーンイン槽内の半導体装置に供給しているので、高速、高機能な半導体装置に対しても、短時間でダイナミック・バーンインを行うことができる。

Fig.1a

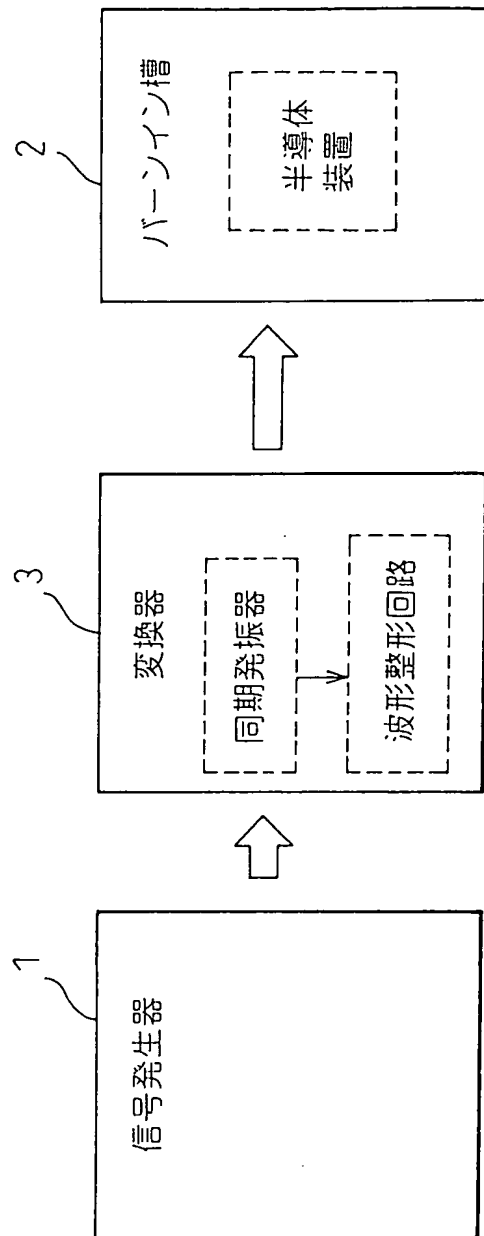


Fig.1b

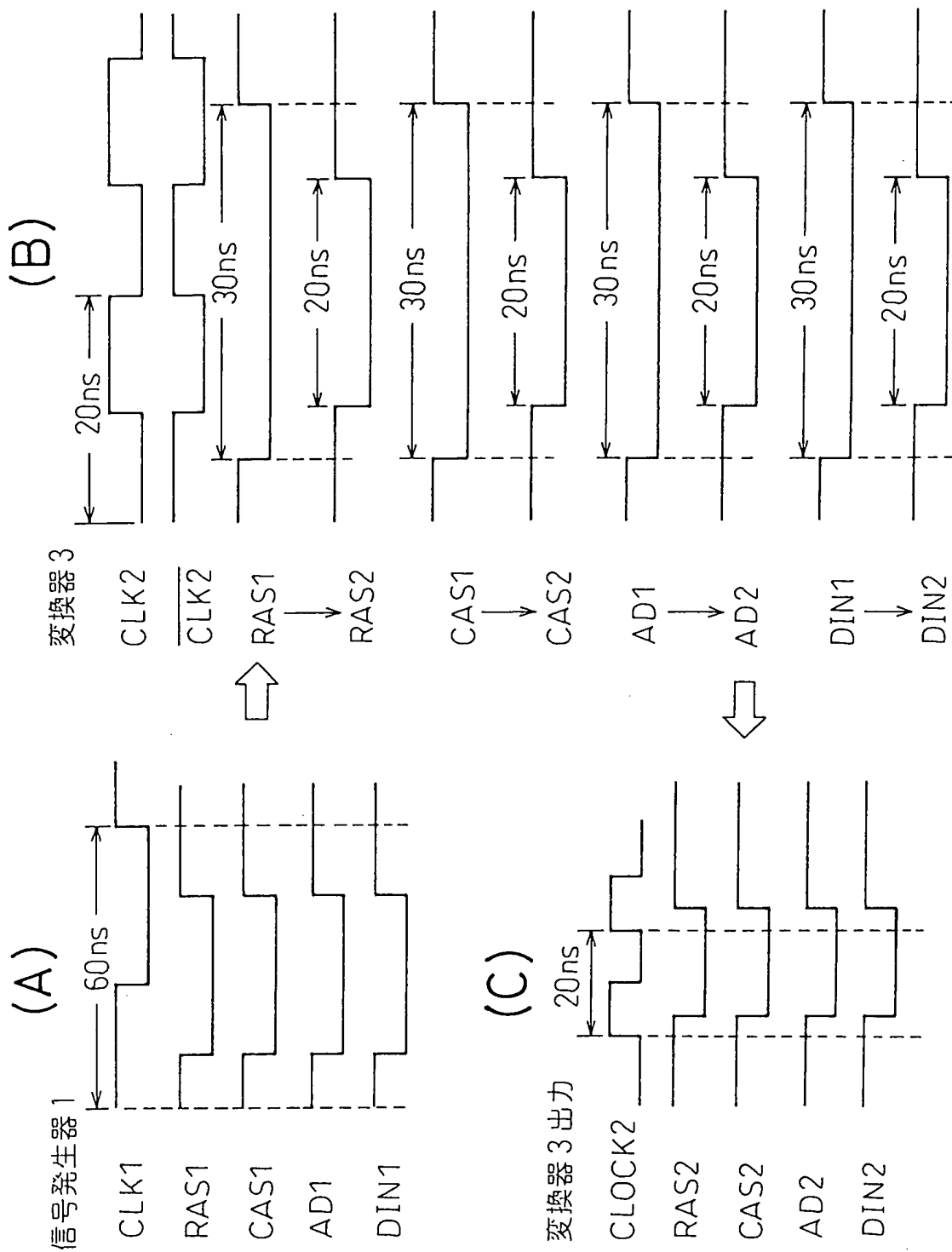


Fig.2

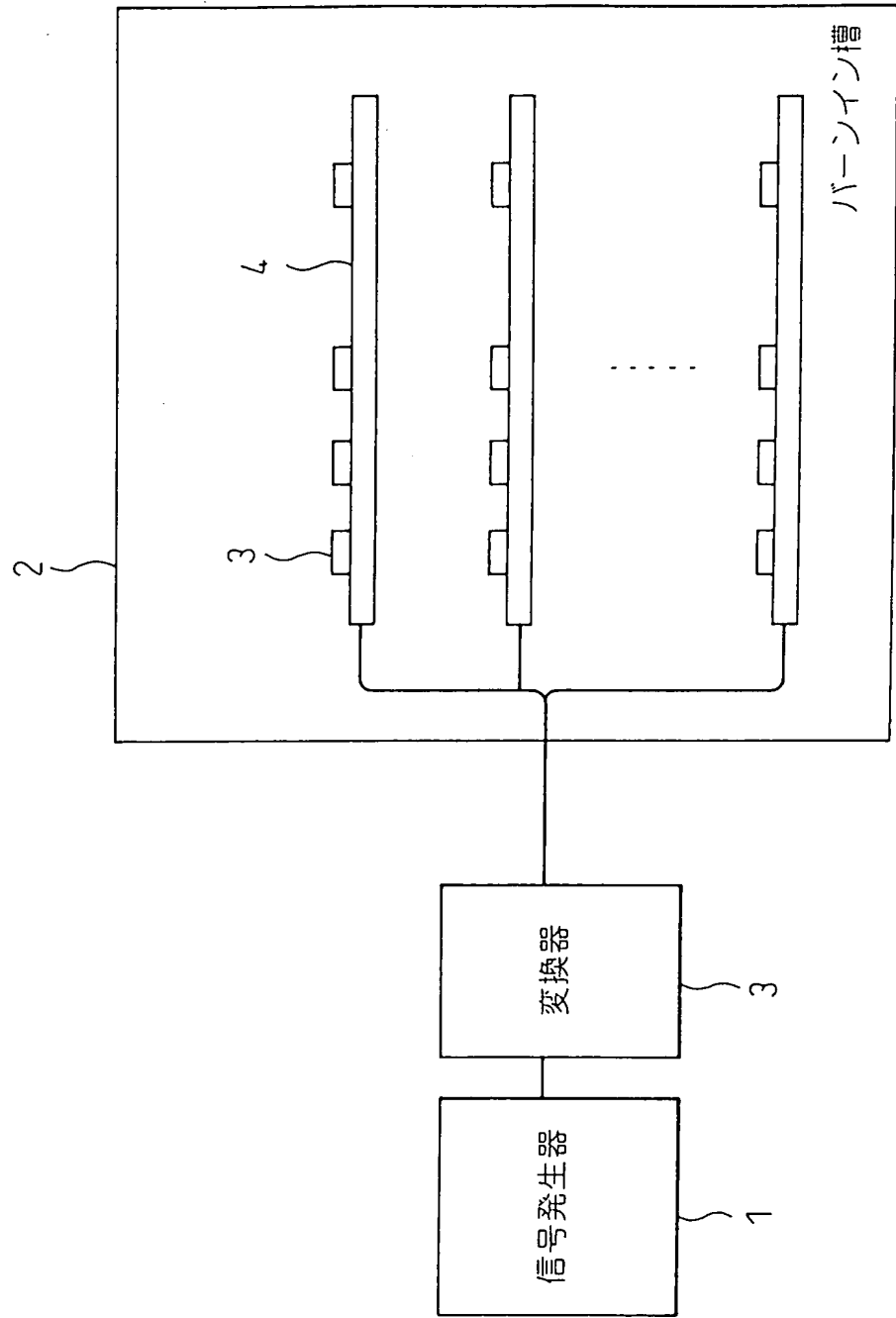
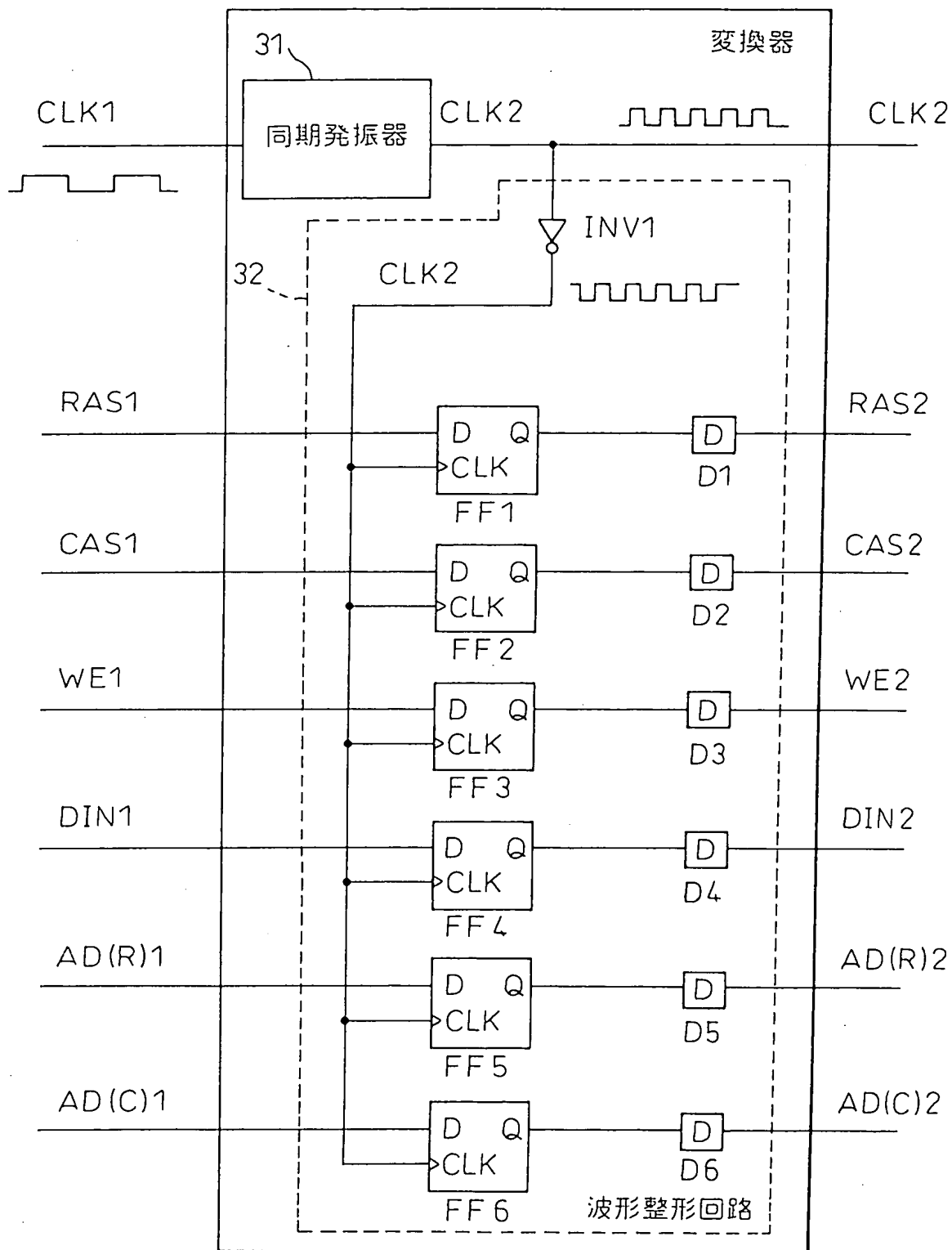


Fig.3



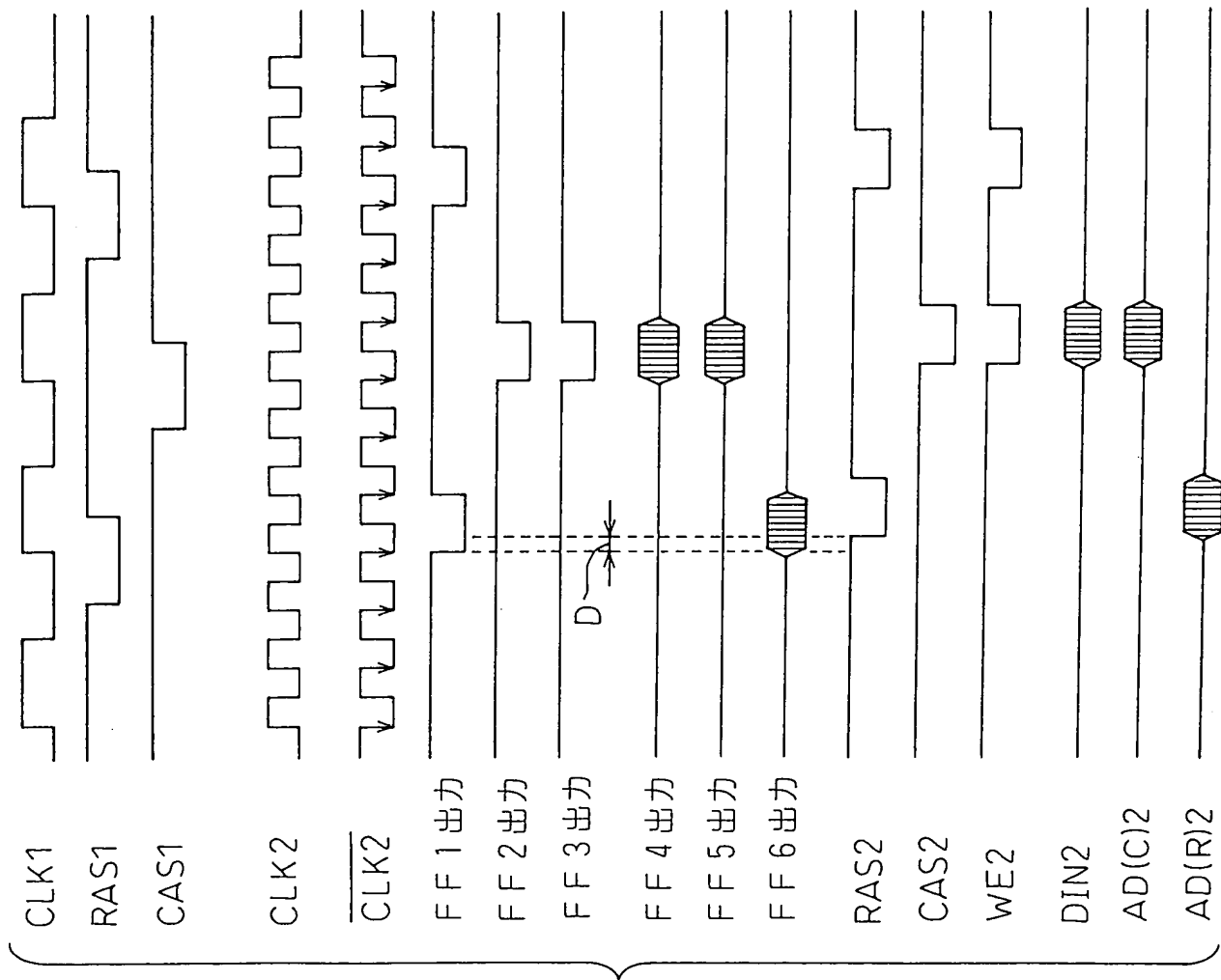
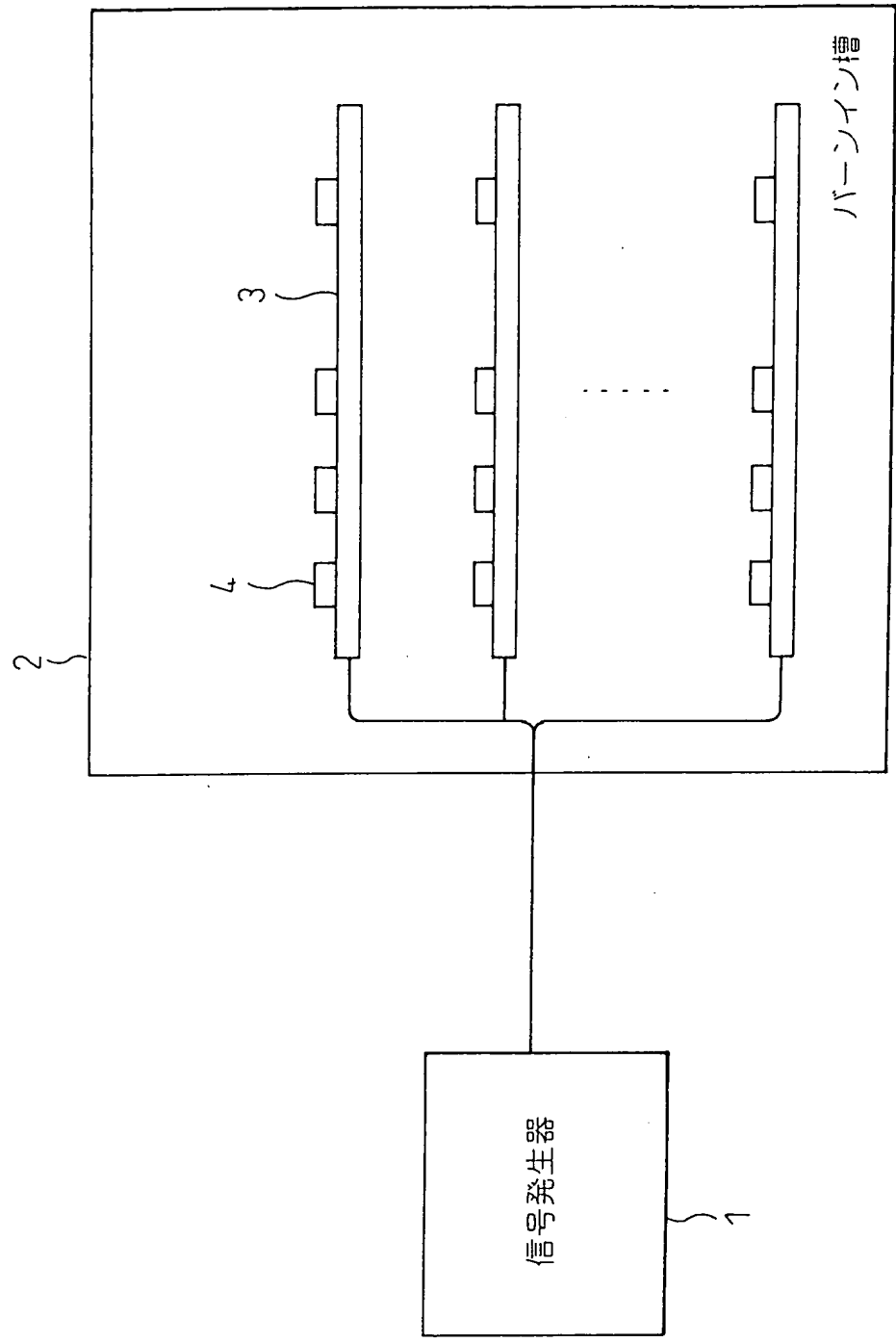


Fig.4

Fig.5



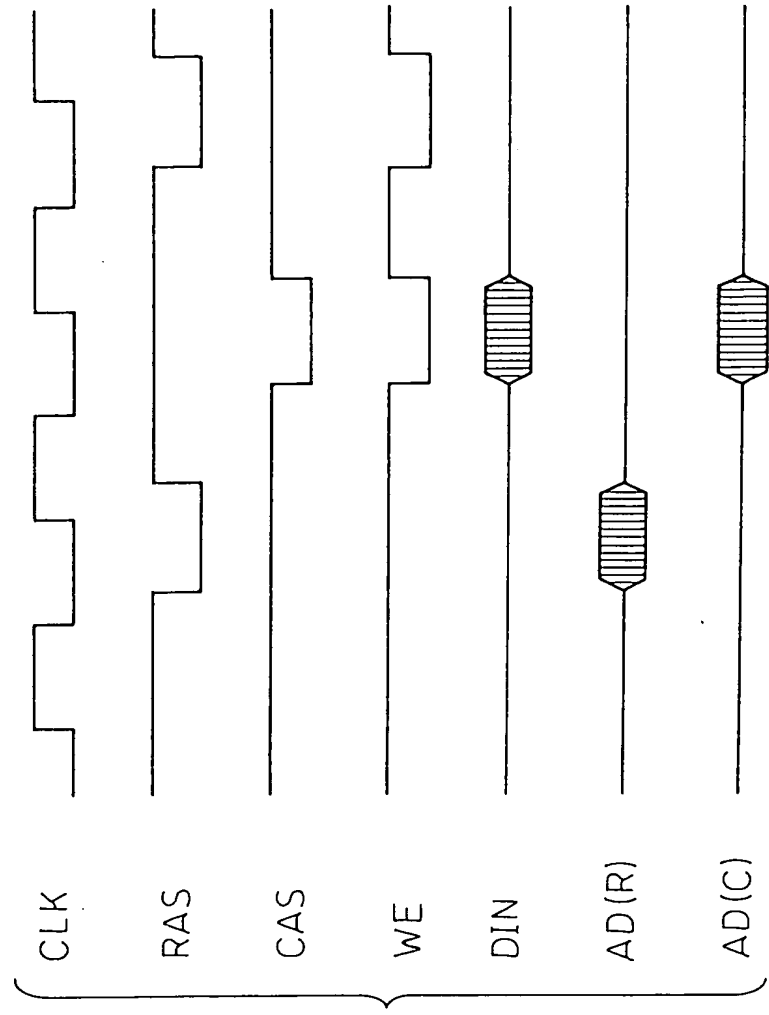


Fig.6